

一种 9 bit、8 Gs/s 的超高速跟踪保持放大器设计

陈天佐, 陈 岚, 王海永, 吕志强

(中国科学院 微电子研究所, 北京 100029)

摘 要: 提出一种 9 bit、8 Gs/s 的超高速跟踪保持放大器 (THA) 设计. 该超高速跟踪保持放大器采用差分结构, 对采样模块电路进行了改进, 采用二极管连接的三极管和电容进行馈通效应补偿和非线性补偿, 减小了跟踪保持放大器总谐波失真, 提高了整体分辨率. 基于 0.18 μm SiGe BiCMOS 工艺, 该跟踪保持放大器的总谐波失真约为 -58.6 dB, 分辨率为 9.4 bit, 跟踪模式带宽为 4.6 GHz, 功耗为 65 mW.

关键词: SiGe BiCMOS; THA; 差分结构; 馈通效应补偿; 非线性补偿

中图分类号: TN433

文献标识码: A

文章编号: 1000-7180(2014)04-0132-04

A 9 bit 8 Gs/s Very High Speed Track and Hold Amplifier Design

CHEN Tian-zuo, CHEN Lan, WANG Hai-yong, LV Zhi-qiang

(Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A new design of 9 bit 8 Gs/s very high speed track-and-hold amplifier (THA) is presented. Differential architecture is used in the design, and the compensation of hold mode feedthrough and nonlinearity is realized through diode-connected transistor and capacitor. The total harmonic distortion is reduced and resolution is enhanced. Based on 0.18 μm SiGe BiCMOS process, simulations show that THD of the THA is -58.6 dB, resolution is 9.4 bit, track mode bandwidth is 4.6 GHz, and power consumption is 65 mW.

Key words: SiGe BiCMOS; THA; differential architecture; feedthrough compensation; nonlinearity compensation

1 引言

采样率在 Gs/s 以上的中低精度、高速模数转换器 (ADC) 主要应用于光接收机、软件无线电、硬盘驱动读写通道、高速数字示波器以及高速串行互连等领域. 此类高速 ADC 多采用并行结构或折叠插值结构实现, 其中影响 ADC 性能的关键模块为高速跟踪保持放大器 (THA) 和高速比较器.

超高速 THA 对 ADC 的分辨率、功耗等性能有决定性的影响. 目前 THA 的实现可以采用 InP、GaAs 和 SiGe 工艺, 这些工艺提供的异质结双极晶体管 (HBT) 表现出很好的噪声性能和很高的截止频率. GaAs 和 InP 成本较高、集成度小, 而 SiGe 工艺可以和传统的 CMOS 工艺兼容, 达到很高的集成度. 因此, SiGe 工艺更具有竞争力、应用更为广泛.

目前, SiGe HBT 的最高截止频率可以达到几百吉赫兹.

本文采用 0.18 μm SiGe BiCMOS 工艺, 提出一种 9 bit、8 Gs/s 的 THA 新设计.

2 THA 结构及分析

THA 结构分为开环和闭环两种, 闭环结构引入负反馈, 牺牲速度为代价提高线性度从而提高分辨率. 开环结构建立时间只与输入缓冲器和采样开关的带宽有关, 可以实现很高的速度. 超高速 THA 常用结构如图 1 所示.

图 1 中 THA 分为输入缓冲器、采样及输出缓冲器三个模块, 采用差分结构以提高性能. 输入缓冲器和输出缓冲器主要作用是将采样模块和前后级电路隔离. 采样模块是决定 THA 性能的关键模块, 在

收稿日期: 2013-05-20; 修回日期: 2013-07-12

基金项目: 国家科技重大专项支持 (2009ZX02303-04)

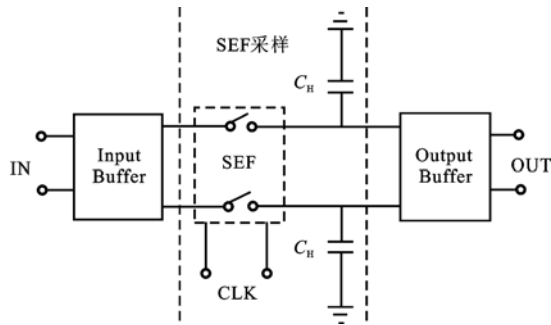


图1 开环结构THA

超高速THA中,采样模块通常由开关射极跟随器(SEF)和采样电容构成,如图2所示^[1]。

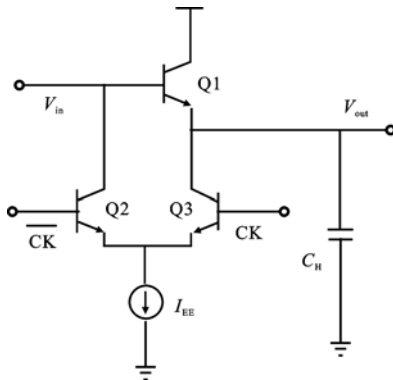


图2 SEF采样模块基本结构

当CK为高电平时,Q2截止,Q3、Q1导通,电路工作在跟踪模式, V_{out} 跟随 V_{in} ;当CK为低电平时,Q2导通,Q1、Q3截止,电路工作在保持模式, V_{out} 保持不变。

为了便于分析,图2只给出了采样模块的单端电路结构,在实际设计中,为了提高性能,多采用差分结构。差分结构可以消除偶次谐波,其总谐波失真可以近似为

$$THD = 20 \log \left[\frac{1}{48} V_m^2 V_T \left(\frac{2\pi f_{in} C_H}{I_{EE}} \right)^3 \right] \quad (1)$$

式中, V_m 为差分输入信号的幅度, V_T 为热电压, f_{in} 为输入信号的频率, C_H 为采样电容, I_{EE} 为偏置电流。

从式(1)可知,要减小谐波失真,可以通过减小采样电容 C_H ,或者通过增大偏置电流 I_{EE} 来实现。通常因为功耗的限制, C_H 和 I_{EE} 都采用功耗优化的数值。本文基于功耗优化后的 C_H 和 I_{EE} ,进一步优化设计。

图2中,在保持模式下,虽然Q1截止,但输入信号中仍然有部分信号通过Q1发射结电容 C_{be} 出现在输出端,即出现保持模式馈通效应,馈通因子可表示为

$$A_{feedthrough} = \frac{C_{be}}{C_{be} + C_H} \quad (2)$$

馈通效应的出现会降低THA的性能,所以在设计时,应对保持模式的馈通效应进行补偿。

另一方面,在保持模式,由于电荷泄漏等因素,采样电容 C_H 上的电压并非保持不变,采样电容上电压的变化率即平台下降率。假设输出缓冲器的输入阻抗为 R ,泄漏电流为 I_{leak} ,保持模式初始时 C_H 上电压为 $V_C(0)$,保持模式时间为 T ,则有^[2]

$$V_C(T) = V_C(0) (1 - e^{-T/(RC_H)}) - \frac{I_{leak} T}{C_H} \quad (3)$$

由式(3)可知,为了减小 C_H 上电压的变化,可以采取的措施有:增大输出缓冲器的输入电阻,减小泄漏电流,以及增大采样电容。

3 THA子模块设计

在设计时,需要在速度、分辨率以及功耗等性能之间进行折中。例如,由式(1)和式(3)可知, C_H 设计是很关键的,需要根据具体应用要求综合考虑决定。为了减小谐波失真,需要其数值降低,而为了保持采样电压的不变,又需要其数值增大。

3.1 输入缓冲器设计

输入缓冲器将SEF采样模块和输入信号隔离,避免输入的变化对信号采样产生不利的影响。线性度和带宽是输入缓冲器设计时关注的主要指标。本文设计采用的输入缓冲器如图3所示。输入缓冲器由差分放大器构成,增益为1,在发射极引入了负反馈电阻 R_1 以提高线性度。

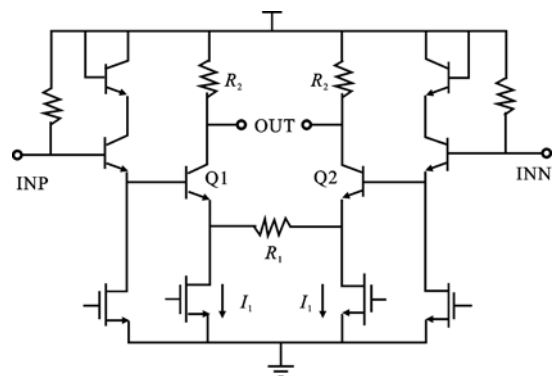


图3 输入缓冲器

3.2 SEF采样模块设计

SEF采样模块是THA的关键模块,直接关系到THA的总谐波失真、保持模式馈通以及平台下降率等性能。

本文提出的SEF采样模块电路如图4所示。通常采用 C_{FF} 进行馈通补偿,但是由于三极管发射结

电容随结两端的电压变化而变化,而 C_{FF} 不随电压变化,补偿效果受限. 针对此问题,本文提出采用二极管连接的三极管 Q7、Q8 以及 C_{FF} 对电路进行保持模式馈通效应补偿和非线性补偿,使发射结两端等效电容近似为常量,以减小保持模式馈通效应和非线性,提高分辨率.

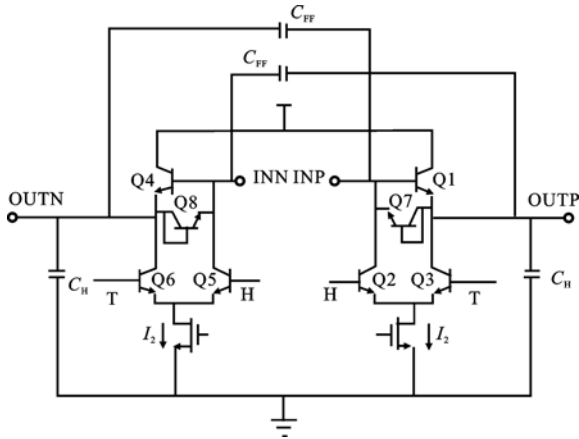


图 4 SEF 采样模块

采用本文提出的方法进行补偿后,馈通因子可表示为

$$A_{\text{feedthrough}} = \frac{C_{be}}{C_{be} + C_H} \left(1 - \frac{C_{FF}}{C_{FF} + C_H} \frac{C_{be} + C_H}{C_{be}} \right) \quad (4)$$

式中, C_{be} 为 Q1 和 Q7(或者为 Q4 和 Q8) 发射结电容之和, C_H 为采样电容, C_{FF} 为补偿电容. 对于 C_{be} , 有

$$C_{be} = A(1 + \beta)$$

$$C_{j0} \left[1 + \frac{1}{2} \frac{1 - \beta}{1 + \beta} \frac{V_{be}}{\psi_0} + \frac{3}{8} \left(\frac{V_{be}}{\psi_0} \right)^2 \right] \quad (5)$$

式中, V_{be} 为 Q1(或 Q4) 发射结电压, C_{j0} 是与工艺相关的量, ψ_0 为内建电势, A 为 Q1(或 Q4) 的发射结面积, β 为 Q7(或 Q8) 与 Q1(或 Q4) 发射结面积之比, 对于三极管, 通常有 $V_{be} < \psi_0$. 由式(5)可知, 选取合适的 β , 可以使 C_{be} 近似为常量.

3.3 输出缓冲器设计

输出缓冲器将 SEF 采样模块和下一级电路隔离, 以避免输出的变化对信号采样产生不利的影响. 输出缓冲器的电路如图 5 所示, 其增益为 1, 在电路中增加了电流补偿(M1、M2)以减小采样电容的泄漏电流, 从而减小平台下降率.

4 THA 仿真结果

THA 输入加幅度为 500 mV、频率为 1 GHz 的差分信号(1V_{pp}), 采样频率为 8 GHz, 在电源电压 3.5 V 情况下, 输入、输出信号的瞬态波形如图 6 所

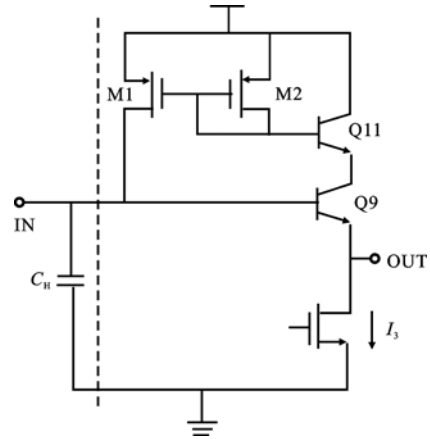


图 5 输出缓冲器电路

示. 其中, 虚线为输入信号, 实线为采样输出信号.

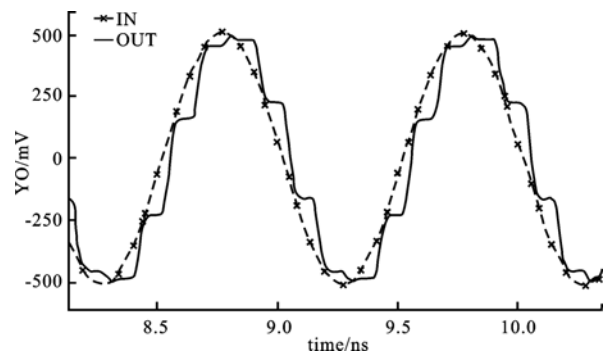


图 6 输入/输出信号波形

输出信号的频谱如图 7 所示. 计算可得总谐波失真 THD 为 -58.6 dB, 由 $ENOB = (|THD| - 1.76)/6.02$ 可得分辨率为 9.4 bit.

在保持模式, 补偿前的馈通为 -19.6 dB@1 GHz, 补偿后的馈通为 -48.6 dB@1 GHz; 只采用 C_{FF} 进行馈通补偿时总谐波失真为 -54.8 dB@1 GHz, 采用改进的方法进行补偿时总谐波失真为 -58.6 dB@1 GHz, 减小了 3.8 dB, 分辨率提高了约 0.6 bit.

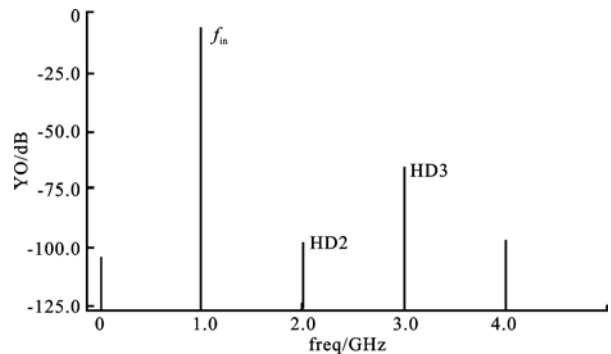


图 7 输出信号频谱

本文中 THA 的跟踪模式带宽为 4.6 GHz, 功耗为 65 mW. 表 1 给出了本文设计的 THA 与一些

文献中 THA 的比较. 可见, 本文提出的超高速 THA 在实现高采样速度的同时, 达到了较高的分辨率, 而且功耗相对较小.

表 1 THA 性能比较

文献	$F_{in}/$ GHz	$F_s/$ GHz	ENOB/ bit	Power/ mW	$f_T/$ GHz
本文	1	8	9.4	65	110/SiGe
[3]	1.5	12.1	7.4	700	200/SiGe
[4]	1	10	6.8	30	200/SiGe
[5]	1.1	8	6.8	660	67/SiGe
[6]	1.25	10	8	164	50/SiGe
[7]	3	10	8	140	/SiGe

5 结束语

基于 0.18 μm SiGe BiCMOS 工艺, 提出了一种 9 bit、8 Gs/s 的超高速 THA 的设计. 设计采用差分结构, 对保持模式馈通效应和非线性进行了补偿, 减小了 THA 的总谐波失真, 提高了分辨率. 采用改进的方法进行补偿后的保持模式馈通为 $-48.6 \text{ dB}@1 \text{ GHz}$, 总谐波失真为 $-58.6 \text{ dB}@1 \text{ GHz}$; 总谐波失真减小了 3.8 dB, 分辨率提高了 0.6 bit. 设计的 THA 的采样频率为 8 GHz, 总谐波失真为 $-58.6 \text{ dB}@1 \text{ GHz}$, 分辨率为 9.4 bit, 跟踪模式带宽为 4.6 GHz, 功耗为 65 mW.

参考文献:

- [1] Pieter Vorenkamp, Johan P M Verdaasdonk. Full bipolar, 120-msample/s 10-b track-and-hold circuit [J]. IEEE JSSC, 1992, 27(7): 988-992.

- [2] Fiocchi C, Gatti U, Maloberti F. Design issues on high-speed high-resolution track-and-holds in BiCMOS technology [J]. IEEE Proceeding-Circuits, Devices and Systems, 2000(147): 100-106.
- [3] Yuan Lu, Xiangtao Li, Hans Gustat. An 8 bit, 12 gsamples/sec sig track and hold amplifier [J]. IEEE BCTM, 2009(9): 148-151.
- [4] Yevgen Borokhovych, Hans Gustat, Bernd Tillack. A low-power, 10GS/s track-and-hold amplifier in SiGe BiCMOS technology [J]. ESSCIRC, 2005 (5): 263-266.
- [5] Smola D, Huijsing J H, Makinwa K A A. An 8 bit, 4Gsamples/s track and hold in a 67GHz f_T SiGe BiCMOS technology [J]. IEEE ESSCIRC, 2006 (5): 408-411.
- [6] Paul Zammit, Ivan Grech, Edward Gatt. A 10 gsamples/s SiGe track and hold amplifier with 8 bit resolution [J]. IEEE ICECS, 2007(11): 1232-1235.
- [7] Yevgn Borokhovych, Christoph Scheytt J. 10 GS/s 8-bit bipolar THA in SiGe technology [J]. IEEE NORCHIP, 2011(6): 1-4.

作者简介:

陈天佐 男, (1986—), 硕士. 研究方向为模拟/混合信号集成电路设计.

陈 岚 女, (1968—), 研究员, 博士生导师. 研究方向为超深亚微米芯片设计方法及计算机体系结构.

王海永 男, (1976—), 研究员. 研究方向为射频/混合信号集成电路设计及方法学研究.

吕志强 男, (1974—), 副研究员, 硕士生导师. 研究方向为混合信号集成电路设计.

(上接第 131 页)

- [5] Chris Spear. SystemVerilog for Verification[M]. US: Springer, 2006.
- [6] 查欣. 基于断言语言 SVA 的设计验证方法[J]. 现代电子技术, 2010, 32(10): 5-7.
- [7] Stacey Secatch, Bryan Ramirez. 用 SystemVerilog 验证赛灵思 FPGA[J]. 电子设计应用, 2009, (4): 89-91.
- [8] 褚晓滨, 陆铁军, 宗宇. 结合断言与覆盖率为导向的验证方法[J]. 微电子学与计算机, 2008, 25(11): 39-42.
- [9] 陈火军, 江建慧. 门级故障到传输级故障的映射[J].

同济大学学报, 2004, 32(8): 1061-1066.

- [10] 李倩男, 李云强, 蒋淑静. Keccak 类非线性变换的置换性质研究 [J]. 计算机应用研究, 2013, 30 (4): 1201-1204.

作者简介:

李森森 男, (1988—), 硕士研究生. 研究方向为密码 SoC 验证技术.